

DKT. 2271/66674

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

CERTIFIED COPY OF
PRIORITY DOCUMENT

出 願 年 月 日
Date of Application:

2001年 2月13日

出 願 番 号
Application Number:

特願2001-035257

出 願 人
Applicant(s):

株式会社リコー

2001年11月26日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出願番号 出願特2001-3103020

【書類名】 特許願

【整理番号】 175630

【提出日】 平成13年 2月13日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/36

【発明の名称】 調停装置

【請求項の数】 12

【発明者】

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

 【氏名】 山本 齊

【特許出願人】

 【識別番号】 000006747

 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

 【氏名又は名称】 株式会社リコー

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 蓀

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【手数料の表示】

 【予納台帳番号】 013262

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 調停装置

【特許請求の範囲】

【請求項 1】 指定された優先順位に従って N 個の要求に対する調停を行う調停装置であって、

N 個の要求に対する優先順位を指定する選択信号を複数記憶している記憶装置と、

調停の要求に応じて、上記記憶装置から所定の順序で 1 の選択信号を出力させる優先順位指定回路と、

記憶装置の出力する選択信号により指定される N 個の要求に対する優先順位に基づいて調停を行う調停回路とで構成されることを特徴とする調停装置。

【請求項 2】 請求項 1 に記載の調停装置であって、

上記記憶装置は、N 個の要求に対する優先順位を指定する選択信号を N 組以上記憶していることを特徴とする調停装置。

【請求項 3】 請求項 1 又は請求項 2 に記載の調停装置であって、

上記記憶装置は、各選択信号の書き換えが可能であることを特徴とする調停装置。

【請求項 4】 請求項 3 に記載の調停装置であって、

上記記憶装置は、各選択信号の書き換えが可能な複数のレジスタと、該複数のレジスタの内、指定されたレジスタに格納されている選択信号を出力する出力回路で構成され、

上記優先順位指定回路は、調停が要求される毎に、上記記憶装置の備える複数のレジスタを順次指定することを特徴とする調停装置。

【請求項 5】 請求項 1 乃至請求項 4 の何れかに記載の調停装置であって、

上記優先順位指定回路は、調停の要求に応じて上記記憶装置に記憶している複数の選択信号の内、順次読み出す対象とする選択信号を設定可能であることを特徴とする調停装置。

【請求項 6】 請求項 5 に記載の調停装置であって、

上記優先順位指定回路は、調停の要求に応じてカウント値を上記記憶装置に出

力すると共にカウントアップを行うカウンタと、外部よりカウント値の上限値が設定可能で、カウンタのカウント値が当該上限値に達した時に当該カウンタのリセットを行う回路とで構成され、

上記記憶装置は、上記優先順位指定回路より出力されるカウント値で特定される選択信号を出力することを特徴とする調停装置。

【請求項 7】 請求項 3 に記載の調停回路であって、

上記記憶装置は、それぞれ選択信号を記憶している、書き換え可能な複数のシフトレジスタを環状に接続して成り、上記優先順位指定回路が、調停の要求に応じて出力する信号に応じてデータのシフトを行うと共に、最終段のシフトレジスタに記憶するデータを選択信号として出力することを特徴とする調停装置。

【請求項 8】 請求項 1 乃至請求項 7 の何れかに記載の調停装置であって、

優先順位指定回路は、調停回路により、最優先の要求が認められた後の調停の要求に応じて、上記記憶装置から所定の順序で選択信号を出力させることを特徴とする調停装置。

【請求項 9】 請求項 1 乃至請求項 7 の何れかに記載の調停装置であって、

上記記憶装置は、各選択信号に、各調停の要求に応じて優先順位の変更を行う第 1 モード、又は、設定されている最優先の要求が認められた後の調停の要求に応じて優先順位の変更を行う第 2 モードを設定するモード設定信号を有しており

調停の要求時に、記憶装置より選択信号と共に出力されるモード設定信号が第 1 モードを選択している場合には、当該調停の要求を上記優先順位指定回路に伝え、第 2 モードが選択されている場合には、上記調停回路により最優先の要求が認められるまで、当該調停の要求を上記優先順位指定回路に伝えないゲート回路を備えることを特徴とする調停装置。

【請求項 10】 設定された優先順位に従い N 個の要求に対する調停を行う調停方法であって、

N 個の要求に対する優先順位を指定する選択信号を記憶装置に複数用意し、
調停の要求に応じて、上記記憶装置から所定の順序で選択信号を読み出し、
上記読み出した選択信号により指定される N 個のバス使用要求に対する優先順

位に基づいて調停を行うことを特徴とする調停方法。

【請求項 1 1】 請求項 1 0 に記載の調停方法であって、

最優先の要求が認められた後の調停の要求のみに応じて、上記記憶装置から所定の順序で選択信号を読み出すことを特徴とする調停方法。

【請求項 1 2】 請求項 1 0 に記載の調停方法であって、

優先順位の更新と共に第 1 又は第 2 のモード設定を行い、

第 1 モードが設定されている場合には、調停の要求に応じて優先順位の変更を行い、第 2 モードが設定されている場合には、最優先の要求が認められた後の調停の要求に応じて優先順位の更新を行うことを特徴とする調停方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、IEEE 1394 の OHCI-LINK デバイス等に用いられるバスの調停装置に関する。

【0 0 0 2】

【従来の技術】

従来より、複数の DMA をもつ装置やマルチプロセッサ・システム等において複数の DMA や複数の CPU から同時に 1 のシステムバスの使用要求がされた場合に、バスの使用を要求した前記複数の DMA や CPU の内、一番優先順位の高い DMA 又は CPU に対して使用許可を与える固定プライオリティ判定方式の調停装置が知られている。

【0 0 0 3】

例えば、A、B、C、D の合計 4 つの DMA を有するシステムであって、競合した際のバス使用の優先順位が "A > B > C > D" に固定されている場合について考える。この場合において、A、B、C が順に D と同時にバスの使用を要求すると、最も優先順位の低い D は何時までたっても使用許可されないといった問題が生じる。

【0 0 0 4】

固定プライオリティ判定方式の調停装置の持つ上記問題を解決するため、複数

のDMAから同時に使用要求が成される度に、その優先順位を1つつシフトさせるラウンドロビン方式の調停装置が知られている。ここで、優先順位をシフトさせるとは、例えばA, B, C, Dの合計4つのDMAがある場合に、その優先順位を、"A>B>C>D" → "B>C>D>A" → "C>D>A>B" → "D>A>B>C" → "A>B>C>D" …の順で変更することを言う。当該方式を採用すれば、各DMAから頻繁に同時に使用要求がされるような場合であっても、ある特定のDMAが継続的に使用できないといった場合を回避しやすい。

【0005】

【発明が解決しようとする課題】

しかし、実際には、各DMAが均等な間隔で使用要求する場合は稀で、それぞれのDMAがばらばらのタイミングで使用要求を行う。このため上記ラウンドロビン方式の調停装置であっても、ある特定のDMAが常に優先順位の高い他のDMAと同時に使用要求を行うような場合が考えられる。この場合、当該特定のDMAには継続的に使用許可が出されないといった不都合が生じる。

【0006】

そこで、本発明は、ラウンドロビン方式の調停装置の持つ上記欠点を解消し、より使用者の所望するように複数の要求（例えば、バスの使用要求）を調停することのできる調停装置、及び、調停方法を提供することを目的とする。

【0007】

【課題を解決するための手段】

本発明の第1の調停装置は、指定された優先順位に従ってN個の要求に対する調停を行う調停装置であって、N個の要求に対する優先順位を指定する選択信号を複数記憶している記憶装置と、調停の要求に応じて、上記記憶装置から所定の順序で1の選択信号を出力させる優先順位指定回路と、記憶装置の出力する選択信号により指定されるN個の要求に対する優先順位に基づいて調停を行う調停回路とで構成されることを特徴とする。

【0008】

本発明の第2の調停装置は、上記第1の調停装置であって、上記記憶装置は、N個の要求に対する優先順位を指定する選択信号をN組以上記憶していることを

特徴とする。

【 0 0 0 9 】

本発明の第 3 の調停装置は、上記何れかの調停装置であって、上記記憶装置は、各選択信号の書き換えが可能であることを特徴とする。

【 0 0 1 0 】

本発明の第 4 の調停装置は、上記第 3 の調停装置であって、上記記憶装置は、各選択信号の書き換えが可能な複数のレジスタと、該複数のレジスタの内、指定されたレジスタに格納されている選択信号を出力する出力回路で構成され、上記優先順位指定回路は、調停が要求される毎に、上記記憶装置の備える複数のレジスタを順次指定することを特徴とする。

【 0 0 1 1 】

本発明の第 5 の調停装置は、上記何れかの調停装置であって、上記優先順位指定回路は、調停の要求に応じて上記記憶装置に記憶している複数の選択信号の内、順次読み出す対象とする選択信号を設定可能であることを特徴とする。

【 0 0 1 2 】

本発明の第 6 の調停装置は、上記第 5 の調停装置であって、上記優先順位指定回路は、調停の要求に応じてカウント値を上記記憶装置に出力すると共にカウンタアップを行うカウンタと、外部よりカウント値の上限値が設定可能で、カウンタのカウント値が当該上限値に達した時に当該カウンタのリセットを行う回路とで構成され、上記記憶装置は、上記優先順位指定回路より出力されるカウント値で特定される選択信号を出力することを特徴とする。

【 0 0 1 3 】

本発明の第 7 の調停装置は、上記第 3 の調停装置であって、上記記憶装置は、それぞれ選択信号を記憶している、書き換え可能な複数のシフトレジスタを環状に接続して成り、上記優先順位指定回路が、調停の要求に応じて出力する信号に応じてデータのシフトを行うと共に、最終段のシフトレジスタに記憶するデータを選択信号として出力することを特徴とする。

【 0 0 1 4 】

本発明の第 8 の調停装置は、上記何れかの調停装置であって、優先順位指定回

路は、調停回路により、最優先の要求が認められた後の調停の要求に応じて、上記記憶装置から所定の順序で選択信号を出力させることを特徴とする。

【 0 0 1 5 】

本発明の第 9 の調停装置は、上記第 1 乃至第 7 の調停装置であって、上記記憶装置は、各選択信号に、各調停の要求に応じて優先順位の変更を行う第 1 モード、又は、設定されている最優先の要求が認められた後の調停の要求に応じて優先順位の変更を行う第 2 モードを設定するモード設定信号を有しており、調停の要求時に、記憶装置より選択信号と共に出力されるモード設定信号が第 1 モードを選択している場合には、当該調停の要求を上記優先順位指定回路に伝え、第 2 モードが選択されている場合には、上記調停回路により最優先の要求が認められるまで、当該調停の要求を上記優先順位指定回路に伝えないゲート回路を備えることを特徴とする。

【 0 0 1 6 】

本発明の第 1 の調停方法は、設定された優先順位に従い N 個の要求に対する調停を行う調停方法であって、N 個の要求に対する優先順位を指定する選択信号を記憶装置に複数用意し、調停の要求に応じて、上記記憶装置から所定の順序で選択信号を読み出し、上記読み出した選択信号により指定される N 個のバス使用要求に対する優先順位に基づいて調停を行うことを特徴とする。

【 0 0 1 7 】

本発明の第 2 の調停方法は、上記第 1 の調停方法であって、最優先の要求が認められた後の調停の要求のみに応じて、上記記憶装置から所定の順序で選択信号を読み出すことを特徴とする。

【 0 0 1 8 】

本発明の第 3 の調停方法は、上記第 1 の調停方法であって、優先順位の更新と共に第 1 又は第 2 のモード設定を行い、第 1 モードが設定されている場合には、調停の要求に応じて優先順位の変更を行い、第 2 モードが設定されている場合には、最優先の要求が認められた後の調停の要求に応じて優先順位の更新を行うことを特徴とする。

【 0 0 1 9 】

【発明の実施の形態】

(1) 発明の概要

本発明の調停装置は、例えば、A、B、C、Dの合計4つのDMAを有するシステムにおいて、ラウンドロビン判定方式の調停装置のようにバスの使用権の優先順位を1つつシフトさせるのではなく、優先順位を指定する選択信号を、好ましくはDMAの数より多く、例えば、16個並べて成る配列データを用意し、当該配列データに従い順に優先順位を変更する構成を採用する。これにより、例えば、16個の配列データの内に、A、B、C、Dのそれぞれが最優先となる選択信号を用意するだけでなく、設計段階でアクセスが頻繁に行われることが解っているDMA、又は、メインDMAが最優先となるような優先順位の組合せを数多く配置することができる。これにより、例えば、各優先順位に重み付けを行い、当該重みに基づいて優先順位の設定を行う装置よりも簡単な構成で、更には、変則的な順序で優先順位の変更を行う装置に比べて、より柔軟に使用者の所望するDMAに優先的に使用権を与えることを可能にする。

【0020】

また、本発明の改良した調停装置では、競合時に、その優先順位の組合せの中で最優先とされているDMAによってバスが使用されるのを待ってから、次の優先順位の組に切り換えるモードを設定することができる。当該構成を採用することで、より柔軟で確実なバスの使用権の設定を可能にする。

【0021】

以下、上記特徴を具備する調停装置の実施の形態について、添付の図面を参照しつつ、順に説明する。

【0022】

(2) 実施の形態1

(2-1) 調停装置の全体構成

図1は、実施の形態1に係る調停装置1の構成を示すブロック図である。4 to 4 選択器3の信号入力端子A0、A1、A2、A3には、図示しない”A”，”B”，”C”，”D”の各DMAからのバス使用要求信号REQA#，REQB#，REQC#，REQD#が入力される。なお、本図において、信号名の末尾

に#の付いてる信号（例えばREQA#やGNTA#）は、Lowアクティブであることを意味する。また、信号名の末尾に#の付いていない信号（例えばGTIM等）はHighアクティブであることを意味する。他の図面についても同じである。

【0023】

タイミング生成器2は、複数のDMAより同時にバスの使用要求がされ、調停が必要な時にアクティブ状態、即ち”H”のGTIM信号を出力する。優先リングシフトレジスタ7は、上記タイミング生成器2から出力されるアクティブ状態のGTIM信号に同期して、記憶している複数の選択信号SELの内の1つを所定の順序に従い出力する。4to4選択器3、4to2プライオリティエンコーダ4、2to4デコーダ5、及び、4to4選択器6は、上記優先リングシフトレジスタ7から出力される選択信号SELにより指定される優先順位に従い調停を行う調停回路を構成する。上記調停回路の最後段に位置する4to4選択器6の信号出力端子B0、B1、B2、B3からは、それぞれDMA”A”、”B”、”C”、”D”のバス使用許可信号GNTA#、GNTB#、GNTC#、GNTD#が出力される。調停装置1における調停処理の結果、バスの使用を許可された1のDMAのバス使用許可信号がアクティブ状態に切り換えられる。

【0024】

(2-2)各回路の構成

(2-2-1)タイミング生成器

タイミング生成器2は、バスが占有されていない時に複数のDMAから同時にバスの使用要求がされた場合に、2to4デコーダ5及び優先リングシフトレジスタ7の各イネーブル端子に対してアクティブ状態、即ち”H”の更新タイミング信号GTIMを出力する。タイミング生成器2は、バスの使用許可がされたDMAによるバスの使用が終り、当該DMAから使用要求信号が取り下げられた時点で、依然として複数のバス使用要求がされている場合には再びアクティブ状態、即ち”H”のGTIM信号を出力する。

【0025】

図2は、タイミング生成器2の構成を示す図である。図示するように、タイミ

ング生成器 2 は、4 つの 2 入力 OR 素子 10、11、12、13、8 入力の NAND 素子 14、及び、4 入力の AND 素子 15 で構成される。OR 素子 10 には、DMA" A" から出力されるバス使用要求信号である REQ A # と、当該 DMA" A" に対して返信されるバス使用許可信号 GNT A # が入力される。OR 素子 10 の 2 つの信号入力端子は、両方とも 8 入力 NAND 素子 14 の入力端子に接続されており、出力端子は、4 入力 AND 素子 15 の 1 つの入力端子に接続されている。以下同様に、OR 素子 11 には、DMA" B" についての REQ B # と GNT B # が入力される。OR 素子 11 の 2 つの信号入力端子は、両方とも 8 入力 NAND 素子 14 の入力端子に接続されており、出力端子は、4 入力 AND 素子 15 の 1 つの入力端子に接続されている。OR 素子 12 には、DMA" C" についての REQ C # と GNT C # が入力される。OR 素子 12 の 2 つの信号入力端子は、両方とも 8 入力 NAND 素子 14 の入力端子に接続されており、出力端子は、4 入力 AND 素子 15 の 1 つの入力端子に接続されている。OR 素子 13 には、DMA" D" についての REQ D # と GNT D # が入力される。OR 素子 13 の 2 つの信号入力端子は、両方とも 8 入力 NAND 素子 14 の入力端子に接続されており、出力端子は、4 入力 AND 素子 15 の 1 つの入力端子に接続されている。4 入力 AND 素子 15 の出力端子から出力される信号は、更新タイミング信号 GTIM として出力される。

【0026】

上記構成のタイミング生成器 2 では、バスの使用要求に対してバスの使用許可を与える場合に" H" の GTIM 信号を出力するよう動作する。

【0027】

(2-2-2) 前段の 4 to 4 選択器

4 to 4 選択器 3 は、選択信号入力端子に優先リングシフトレジスタ 7 から入力される 2 ビットの選択信号 SEL [1 : 0] の値に基づいて特定される優先順位に従い、端子 B0 から順に優先順位の高いバス使用要求信号が出力されるように、A0 ~ A3 の信号入力端子と B0 ~ B3 の信号出力端子を一対一に対応付ける。例えば、選択信号 SEL [1 : 0] = "00" の場合、優先順位が A > B > C > D となる様に、信号入力端子 A0 と信号出力端子 B0 を接続し、信号入力端子

A 1 と信号出力端子 B 1 を接続し、信号入力端子 A 2 と信号出力端子 B 2 を接続し、信号入力端子 A 3 と信号出力端子 B 3 を接続する。

【0028】

図 3 は、4 to 4 選択器 3 の構成を示す図である。マルチプレクサ 20 の 4 つの信号入力端子 0, 1, 2, 3 には、順に信号入力端子 A 0, A 1, A 2, A 3 が接続されている。マルチプレクサ 21 の 4 つの信号入力端子 0, 1, 2, 3 には、順に信号入力端子 A 1, A 2, A 3, A 0 が接続されている。マルチプレクサ 22 の 4 つの信号入力端子 0, 1, 2, 3 には、順に信号入力端子 A 2, A 3, A 0, A 1 が接続されている。マルチプレクサ 23 の 4 つの入力端子 0, 1, 2, 3 には、順に信号入力端子 A 3, A 0, A 1, A 2 が接続されている。各マルチプレクサ 20 ~ 23 のセット端子には、優先リングシフトレジスタ 7 より出力される 2 ビットの選択信号 SEL [1 : 0] が入力され、当該選択信号 SEL の値と同じ番号の入力端子に入力される信号を出力端子 B 0 ~ B 3 に出力する。

【0029】

上記構成の 4 to 4 選択器 3 では、選択信号 SEL [1 : 0] = "00" が入力された場合、優先順位が $A > B > C > D$ となる様に、端子 B 0 と端子 A 0, 端子 B 1 と端子 A 1, 端子 B 2 と端子 A 2, 端子 B 3 と端子 A 3 とを対応付ける。以下同様に、選択信号 SEL [1 : 0] = "01" が入力された場合、優先順位が $B > C > D > A$ となる様に、端子 B 0 と端子 A 1, 端子 B 1 と端子 A 2, 端子 B 2 と端子 A 3, 端子 B 3 と端子 A 0 とを対応付ける。選択信号 SEL [1 : 0] = "10" が入力された場合、優先順位が $C > D > A > B$ となる様に、端子 B 0 と端子 A 2, 端子 B 1 と端子 A 3, 端子 B 2 と端子 A 0, 端子 B 3 と端子 A 1 とを対応付ける。選択信号 SEL [1 : 0] = "11" が入力された場合、優先順位が $D > A > B > C$ となる様に、端子 B 0 と端子 A 3, 端子 B 1 と端子 A 0, 端子 B 2 と端子 A 1, 端子 B 3 と端子 A 2 とを対応付ける。

【0030】

(2-2-3) 4 to 2 プライオリティーエンコーダ

4 to 2 プライオリティーエンコーダ 4 は、周知の固定プライオリティ判定方式の調停回路やラウンドロビン判定方式の調停装置にも採用されているものであり

、上から順に並ぶ4つの入力端子0, 1, 2, 3の内、アクティブ状態、即ち”L”のバス使用要求信号の入力された端子の中で最も小さな値（優先順位の高い）の入力端子を特定し、当該入力端子の番号を表す2ビットデータを出力する。

【0031】

(2-2-4) 2 to 4 デコーダ

2 to 4 デコーダ5は、周知の固定プライオリティ判定方式の調停回路やラウンドロビン判定方式の調停装置にも採用されているものであり、上記4 to 2 プライオリティーエンコーダ4から入力される2ビット信号を、イネーブル端子にタイミング生成器2が出力するアクティブ状態、即ち、”H”のGTIM信号が入力された場合にラッチし、当該ラッチしている2ビットデータの値の出力端子から”L”の信号を出力する。

【0032】

(2-2-5)後段の4 to 4 選択器

4 to 4 選択器6は、優先リングシフトレジスタ7から出力される2ビットの選択信号SEL[1:0]の値に基づいて、前述した4 to 4 選択器3で行った変換を元に戻すようにA0～A3の信号入力端子とB0～B3の信号出力端子とを一対一に対応付ける。

【0033】

図4は、4 to 4 選択器6の構成を示す図である。マルチプレクサ30の4つの信号入力端子0, 1, 2, 3には、順に信号入力端子A0, A3, A2, A1が接続されている。マルチプレクサ31の4つの信号入力端子0, 1, 2, 3には、順に信号入力端子A1, A0, A3, A2が接続されている。マルチプレクサ32の4つの信号入力端子0, 1, 2, 3には、順に信号入力端子A2, A1, A0, A3が接続されている。マルチプレクサ33の4つの入力端子0, 1, 2, 3には、順に信号入力端子A3, A2, A1, A0が接続されている。各マルチプレクサ30～33のセット端子には、優先リングシフトレジスタ7より出力される2ビットの選択信号SEL[1:0]が入力され、当該選択信号SELの値と同じ入力端子に入力される信号を出力端子B0～B3に出力する。

【0034】

上記構成の4 to 4 選択器 6 において、選択信号 SEL [1 : 0] = " 0 0 " が入力された場合、端子 B 0 と端子 A 0, 端子 B 1 と端子 A 1, 端子 B 2 と端子 A 2, 端子 B 3 と端子 A 3 とを対応付ける。以下同様に、選択信号 SEL [1 : 0] = " 0 1 " が入力された場合、端子 B 0 と端子 A 3, 端子 B 1 と端子 A 0, 端子 B 2 と端子 A 1, 端子 B 3 と端子 A 2 とを対応付ける。選択信号 SEL [1 : 0] = " 1 0 " が入力された場合、端子 B 0 と端子 A 2, 端子 B 1 と端子 A 3, 端子 B 2 と端子 A 0, 端子 B 3 と端子 A 1 とを対応付ける。選択信号 SEL [1 : 0] = " 1 1 " が入力された場合、端子 B 0 と端子 A 1, 端子 B 1 と端子 A 2, 端子 B 2 と端子 A 3, 端子 B 3 と端子 A 0 とを対応付ける。

【 0 0 3 5 】

当該 4 to 4 選択器 6 の働きにより、設定された優先順位によらず常に、DMA " A " についての GNTA # が端子 B 0 から出力され、DMA " B " についての GNTB # が端子 B 1 から出力され、DMA " C " についての GNTC # が端子 B 2 から出力され、DMA " D " についての GNTD # が端子 B 3 から出力される。

【 0 0 3 6 】

(2-2-6) 優先リングシフトレジスタ

優先リングシフトレジスタ 7 は、16 個のレジスタの各々に 2 ビットの選択信号 SEL [1 : 0] を格納しており、タイミング生成器 2 から出力されるアクティブ状態、即ち " H " の更新タイミング信号 GTIM の入力に同期して、上記 16 個のレジスタから予定の順序で選択信号 SEL [1 : 0] を出力する。

【 0 0 3 7 】

図 5 は、優先リングシフトレジスタ 7 の構成を示す図である。データの書き換え可能な 16 個の 2 ビットレジスタ 40a ~ 40p には、それぞれ選択信号 SEL [1 : 0] が格納されている。2 ビットレジスタ 40a ~ 40p は、格納している 2 ビットの選択信号 SEL [1 : 0] を、次段のマルチプレクサ 41 の対応する信号入力端子 0 ~ 15 に出力する。マルチプレクサ 41 は、合計 16 個の信号入力端子 0 ~ 15 の内、4 ビットの選択信号 SEL [3 : 0] により指定される値 (SEL [3 : 0] の値を 10 進数に直した値) の信号入力端子に入力され

ている選択信号SEL [1 : 0] を出力する。

【0038】

4ビットカウンタ44は、アクティブ状態、即ち”H”の変更タイミング信号GTIMの入力に応じてカウントアップを行い、4ビットのカウント値を4ビット選択信号SEL [3 : 0] として上記マルチプレクサ41に出力する。4ビットカウンタ44のカウント値は、4ビットコンパレータ43にも入力される。4ビットコンパレータ43の残りの信号入力端子には4ビットレジスタ42に格納されている4ビットデータが入力される。4ビットコンパレータ43は、4ビットカウンタ44より出力されるカウント値が4ビットレジスタ42に格納されている4ビットデータと同じになると4ビットカウンタ44のリセット端子に対してリセット信号を出力する。このように、4ビットレジスタ42、4ビットコンパレータ43、及び、4ビットカウンタ44の働きにより、マルチプレクサ41の選択信号入力端子には、4ビットレジスタ42に設定された値までのカウント値が繰り返し入力されることになる。即ち、マルチプレクサ41からは、変更タイミング信号GTIMが入力される毎に信号入力端子0から、4ビットレジスタ42に設定された値（SEL [3 : 0] の値を10進数に直した値）の信号入力端子に入力される2ビットの選択信号SEL [1 : 0] が順に繰り返し出力される。

【0039】

なお、上記16個の2ビットレジスタ40a～40p、及び、4ビットレジスタ42に格納するレジスタデータの値は、データバス48を介して接続される、図示しない外部制御装置、又は、外部スイッチ（例えば、4ビット分のディップスイッチ）により任意に設定変更することができる。

【0040】

図6は、16個の2ビットレジスタ40a、40b、40c、…、40o、40pに格納され、マルチプレクサ41の信号入力端子0～15の各々に入力する各2ビットの選択信号SEL [1 : 0]、及び、4ビットレジスタ42に格納する4ビットデータの一例を示す図である。なお、2ビットレジスタに格納するデータの内、”XX”で表す箇所は使用しないため、任意の値で良いことを意味す

る。本例では、4ビットレジスタ42に”1101”=9を設定しているため、優先リングシフトレジスタ7は、変更タイミング信号GTIMのアクティブ、即ち”H”への切り換りに同期して、ビットレジスタ40a~40jからマルチプレクサ41の信号入力端子0~9に入力される選択信号SEL[1:0]を順に繰り返し出力する。

【0041】

(2-3)調停動作の説明

図7は、上記構成、及び、図6に示したレジスタ設定時における4つのDMA”A”，”B”，”C”，”D”のバス使用権の調停処理に伴う、REQA#~REQD#，GNTA#~GNTD#、変更タイミング信号GTIM、及び、選択される優先順位の内容を示すタイムチャートである。

以下、本タイムチャートに基づいて、調停装置1において実行する調停動作の詳細について説明する。

【0042】

まず、タイミングT0で全てのバス使用要求がアクティブになると、更新タイミング信号GTIMがアクティブ状態、即ち”H”になる。なお、この時、優先リングシフトレジスタ7は、マルチプレクサ41の信号入力端子0に入力される2ビットレジスタ40aに格納されている”00”を出力しており、バスの使用権の優先順位をA>B>C>Dに設定している。

【0043】

まず、最も優先順位の高いDMA”A”のバス使用許可信号GNTA#がタイミングT1でアクティブ状態、即ち”L”になる。また、”H”の変更タイミング信号GTIMの入力に応じて、4ビットカウンタがインクリメントされ”1”となり、2ビットレジスタ40bの値”01”が選択され、バスの使用権の優先順位はB>C>D>Aに変更される。

【0044】

次のタイミングT3でDMA”A”によるバスの使用が完了し、REQA#が非アクティブ状態、即ち”H”になる。これにより再び変更タイミング信号GTIMがアクティブ状態、即ち”H”になり、最も優先順位の高いDMA”B”の

バス使用許可信号GNTB#がタイミングT4でアクティブ状態、即ち”L”になる。また、この時、4ビットカウンタがインクリメントされ“2”となり、2ビットレジスタ40cの値”10”が選択され、優先順位はC>D>A>Bになる。以降同様の動作を繰り返す。

【0045】

図7のタイミングチャートには示されていないタイミングだが、図5の10段目の2ビットレジスタ40jが選択されている時、つまり4ビットカウンタの値が“1001”である時に変更タイミング信号GTIMがアクティブ状態、即ち”H”になると、4ビットレジスタ42と4ビットカウンタ44の値が一致しているため4ビットコンパレータ43から4ビットカウンタ44のリセット端子に対してリセット信号が出力される。これにより、4ビットカウンタ44の値は“0000”に戻され、次のサイクルで再び2ビットレジスタ40aの値を選択することになる。

【0046】

(3) 実施の形態2

図8は、実施の形態2に係る調停装置1'の構成を示す図である。上記実施の形態1に係る調停装置1と同じ構成物には同じ参照番号を付して重複した説明は省く。

【0047】

実施の形態2に係る調停装置1'は、実施の形態1に係る調停装置1の優先リングシフトレジスタ7の代わりに、当該レジスタ7からカウント値を繰り返し設定する機能を除いた、より簡単な構成の16×2ビットリングシフトレジスタ50を備えたものである。当該構成を採用することで、構成の簡略化、及び、コストダウンを図ることができる。

【0048】

次に示す図9は、16×2ビットリングシフトレジスタ50の構成を示す図である。図示するように16×2ビットリングシフトレジスタ50は、例えば、環状に接続されている16個のシフトレジスタ51a～51pに格納されている各2ビットデータを、変更タイミング信号GTIMがアクティブ状態、即ち”H”

となる度に順にシフトしながら、シフトレジスタ50aに格納されている2ビットデータを選択信号SEL[1:0]として出力する構成を採用する。

【0049】

2ビットシフトレジスタ51a～51pには、初期設定時において、例えば図10に示すような各2ビットの選択信号SEL[1:0]が順に格納される。シフトレジスタ51a～51oの信号入力端子は、それぞれ前段のシフトレジスタ51b～51pの信号出力端子に接続されている。シフトレジスタ51aの出力端子は、選択信号EL[1:0]の出力端子として、図示しない4 to4 選択器3、及び、4 to4 選択器6の選択信号入力端子に接続される他、シフトレジスタ51pの信号入力端子に接続されている。

【0050】

変更タイミング信号GTIM及びクロック信号CLKの論理積がAND素子52により求められ、変更タイミング信号GTIM及びクロック信号CLKが共に”H”になった時に、各シフトレジスタのクロック信号入力端子に”H”の信号が入力され、シフトレジスタ51aに格納されている2ビットデータが選択信号SEL[1:0]として出力されると共に、各シフトレジスタ51a～51pに格納されている2ビットデータがシフトされる。

【0051】

なお、各シフトレジスタ51a～51pに格納する2ビットデータは、バス58を介して接続される図示しない外部制御装置、又は、外部スイッチにより任意に設定変更することができる。

【0052】

上記構成の16×2ビットリングシフトレジスタ50を採用した調停装置1'における4つのDMA”A”，”B”，”C”，”D”のバス使用権の調停に伴う、REQA#～REQD#，GNTA#～GNTD#、変更タイミング信号GTIM、及び、選択される優先順位の内容を示すタイムチャートは、優先順位の設定が変更タイミングGTIMが16回アクティブ状態、即ち”H”になる毎に繰り返される点を除けば、上述した実施の形態1に係る調停装置1のものと同一であるため、ここでの説明は省く。

【0053】

(4) 実施の形態3

図11は、実施の形態3に係る調停装置1”の構成を示す図である。実施の形態3に係る調停装置1”は、上記実施の形態2に係る調停装置1’の16×2ビットリングシフトレジスタ50の代わりに、当該レジスタ50に、選択した優先順位において最優先とされるDMAに使用許諾がされた後のアクティブ状態、即ち”H”の変更タイミング信号GTIMの入力に応じて、優先順位の設定の更新を行う機能を追加した16×3ビットリングシフトレジスタ60を備えることを特徴とする。

【0054】

図示するように、16×3ビットリングシフトレジスタ60は、変更タイミング信号GTIMの他に、4to2プライオリティエンコーダ4より出力される2ビットのデータの下位ビットM0、及び、上位ビットM1を制御信号として使用する。

【0055】

図12は、16×3ビットリングシフトレジスタ60の構成を示す図である。16個の3ビットシフトレジスタ61a～61pには、初期設定時において、例えば、図13に示すような各3ビットの選択信号SEL[2:0]が順に格納される。各3ビットデータの内、下位2ビットのデータは、上記説明した選択信号SEL[1:0]であり、最上位の3ビット目のデータは、動作モード設定用のデータである。

【0056】

選択信号SEL[2:0]の最上位の3ビット目のデータが”1”の場合、更新タイミング信号GTIMがアクティブになる毎に、優先順位の変更を行う（以下、当該動作モードを第1モードという。）。

【0057】

また、選択信号SEL[2:0]の最上位の3ビット目のデータが”0”に設定されている場合、現時点で最優先に設定されているDMAから使用要求がされ、当該DMAに対してバスの使用許可を与えられるのを待ち、次に更新タイミン

グ信号GTIMがアクティブになった場合に優先順位の更新を行う（以下、当該動作モードを第2モードという。）。）。。

【0058】

シフトレジスタ61a～61oの信号入力端子は、それぞれ前段のシフトレジスタ61b～61pの信号出力端子に接続されている。シフトレジスタ61aの信号出力端子は、シフトレジスタ61pの信号入力端子に接続されている。

【0059】

また、シフトレジスタ61aより出力される3ビットの選択信号SEL[2:0]の内、下位2ビットで構成されるデータは、選択信号SEL[1:0]として図示しない4 to 4 選択器3、及び、4 to 4 選択器6に出力され、3ビット目のデータは、選択信号SEL[2]として、NOR素子62、及び、OR素子63の信号入力端子に出力される。

【0060】

NOR素子62、及び、OR素子63で構成される回路は、シフトレジスタ61aより出力される3ビットデータの3ビット目のデータSEL[2]の値が”1”の場合、即ち第1モードが設定されている場合には、更新タイミング信号GTIMのアクティブ（”H”）状態への切り換りに同期して各シフトレジスタ61a～61pに格納するデータをシフトさせ、次の選択信号SEL[2:0]を出力させる。

【0061】

しかし、3ビットデータの3ビット目のデータSEL[2]の値が”0”の場合、即ち第2モードが設定されている場合には、4 to 2 プライオリティエンコーダ4から出力される1ビットデータM0, M1の両方が”0”の場合、即ち、現時点で最優先のDMAがバスの使用を要求するのを待ち、当該最優先のDMAに対してバスの使用权を与えた後に、更新タイミング信号GTIMのアクティブ（”H”）への切り換りに同期してシフトレジスタ61a～61pに格納するデータをシフトさせ、次の選択信号SEL[2:0]を出力させる。

【0062】

上記構成の調停回路1”では、競合時に、その優先順位の組合せの中で最優先

とされているDMAによってバスが使用されるのを待ってから、次の優先順位の組に切り換える第2モードを選択的に設定することができる。当該構成を採用することで、より柔軟で確実なバスの使用権の設定を可能にすることができる。

【0063】

なお、実施の形態1に係る調停装置1にも、NOR素子62、OR素子63及びAND素子64よりなる回路を、実施の形態1に係る調停装置1の優先リングシフトレジスタ7が備える4ビットカウンタ44（図5を参照）のイネーブル端子の前に設けるだけで、選択した優先順位において最優先とされるDMAに使用許諾がされた後のアクティブ状態の変更タイミング信号GTIMの入力に応じて、優先順位の設定の更新を行う機能を追加することができる。

【0064】

【発明の効果】

本発明の第1の調停装置では、記憶装置に、例えば、設計段階でアクセスが頻繁に行われることが解っているものが最優先となるような優先順位の組合せを数多く記憶しておくことができる。これにより、均等に各要求を認証するだけでなく、使用者の所望する n 番目の要求（但し、 $0 < n < N$ ）に優先的に承認することができる。

【0065】

本発明の第2の調停装置は、記憶装置に、例えば、 N 個の要求の各々が最優先となる選択信号を用意するだけでなく、設計段階でアクセスが頻繁に行われることが解っているものが最優先となるような優先順位の組合せを数多く記憶しておくことができる。これにより、より柔軟に使用者の所望する n 番目の要求（但し、 $0 < n < N$ ）に優先的に承認することができる。

【0066】

本発明の第3の調停装置は、記憶装置に記憶する選択信号の内容を書き換えることができるため、より柔軟に使用者の所望する要求に優先的に使用権を与えることができる。

【0067】

本発明の第4の調停装置は、記憶装置の各レジスタに、 N 個の要求の各々が最

優先となる選択信号を用意するだけでなく、設計段階でアクセスが頻繁に行われることが解っているものが最優先となるような優先順位の組合せを数多く記憶しておくことができる。これにより、より柔軟に使用者の所望する n 番目の要求（但し、 $0 < n < N$ ）を優先的に承認することができる。

【0068】

本発明の第5の調停装置は、記憶装置の各レジスタのうち、実際に読み出すレジスタを設定可能であるため、より柔軟に使用者の所望する n 番目の要求（但し、 $0 < n < N$ ）を優先的に承認することができる。

【0069】

本発明の第6の調停装置は、記憶装置の各レジスタのうち、実際に読み出すレジスタを指定するカウンタの上限値を設定可能とすることで、より柔軟に使用者の所望する n 番目の要求（但し、 $0 < n < N$ ）を優先的に承認することができる。

【0070】

本発明の第7の調停装置は、記憶装置を構成する各シフトレジスタに記憶する選択信号の内容を書き換えることができるため、より柔軟に使用者の所望する要求を優先的に承認することができる。

【0071】

本発明の第8の調停装置は、設定された優先順位の内、最優先の要求が認められるのを待ってから、優先順位の変更を行う。これにより、各要求に対して確実に平等に承認を与えることができる。

【0072】

本発明の第9の調停装置は、第1モードの設定時には、調停の要求毎に優先順位を変更し、第2モードの設定時には、最優先の要求を認められるのを待ってから、優先順位の変更を行う。これにより、各要求に対して確実に平等に承認を与えることができる。

【0073】

本発明の第1の調停方法は、記憶装置に複数の選択信号を記憶しておき、これを調停の要求に応じて順に出力することで、優先順位の設定の自由度を高め、使

用者の望む調停結果を生じることができる。

【0074】

本発明の第2の調停方法は、設定された優先順位の内、最優先の要求が認められるのを待ってから、優先順位の変更を行う。これにより、各要求に対して確実に平等に承認を与えることができる。

【0075】

本発明の第3の調停方法は、第2モードの設定時には、設定された優先順位の内、最優先の要求が認められるのを待ってから、優先順位の変更を行う。これにより、各要求に対して確実に平等に承認を与えることができる。

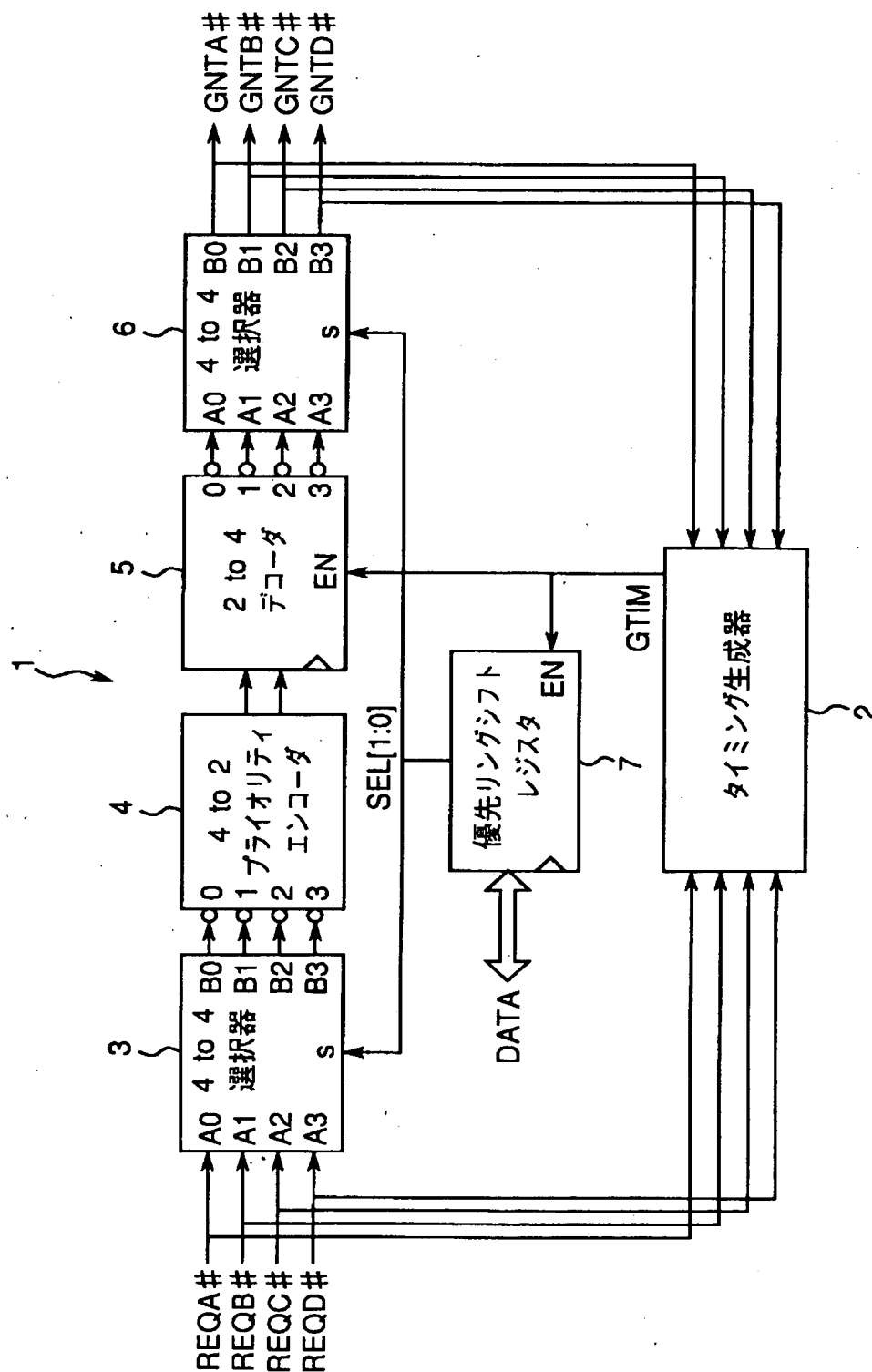
【図面の簡単な説明】

- 【図1】 実施の形態1に係る調停回路の構成図である。
- 【図2】 タイミング生成器の構成図である。
- 【図3】 前段の4 to 4 選択器の構成図である。
- 【図4】 後段の4 to 4 選択器の構成図である。
- 【図5】 優先リングシフトレジスタの構成図である。
- 【図6】 各レジスタに格納するデータの一例を示す図である。
- 【図7】 調停装置内に流れる各信号のタイムチャートである。
- 【図8】 実施の形態2に係る調停装置の構成図である。
- 【図9】 優先リングシフトレジスタの構成図である。
- 【図10】 各レジスタに格納するデータの一例を示す図である。
- 【図11】 実施の形態3に係る調停装置の構成図である。
- 【図12】 優先リングシフトレジスタの構成図である。
- 【図13】 各レジスタに格納するデータの一例を示す図である。

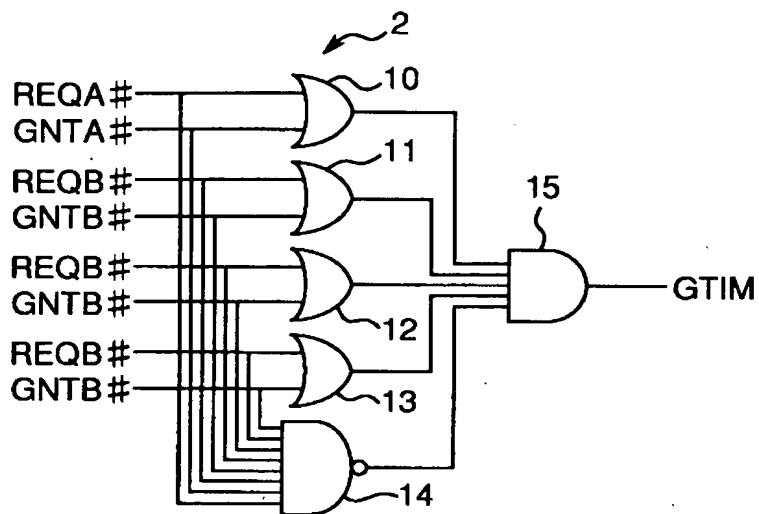
【符号の説明】 1 調停装置、2 タイミング生成器、3 4 to 4 プライオリティエンコーダ、5 2 to 2 デコーダ、6 4 to 4 選択器、7 優先リングシフトレジスタ、50 16×2ビットロングシフトレジスタ、60 16×3ビットロングシフトレジスタ。

【書類名】 図面

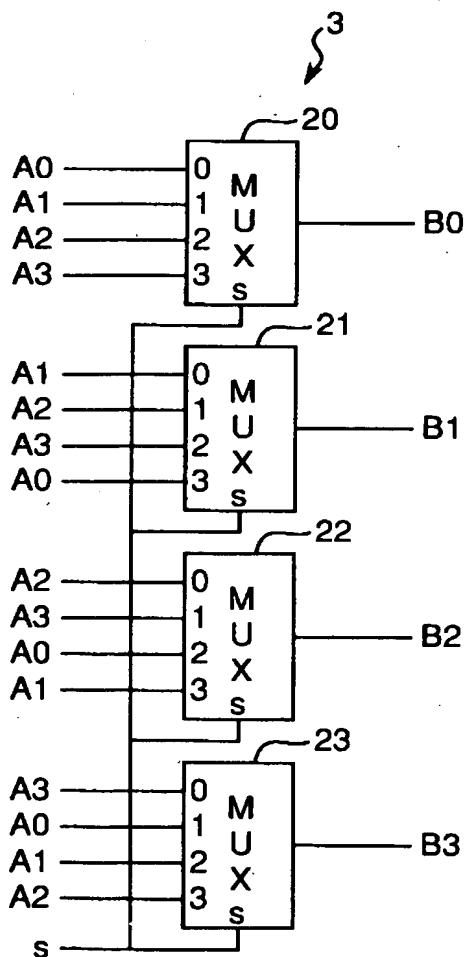
【図 1】



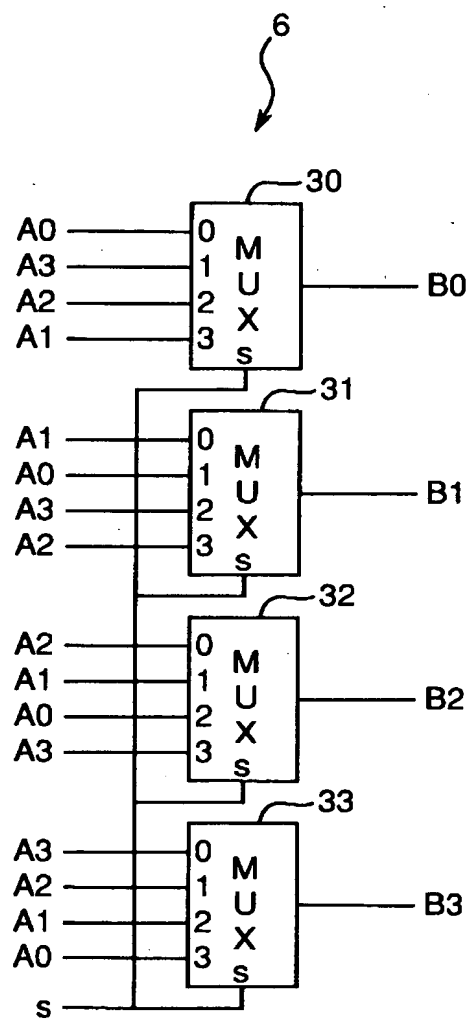
【図 2】



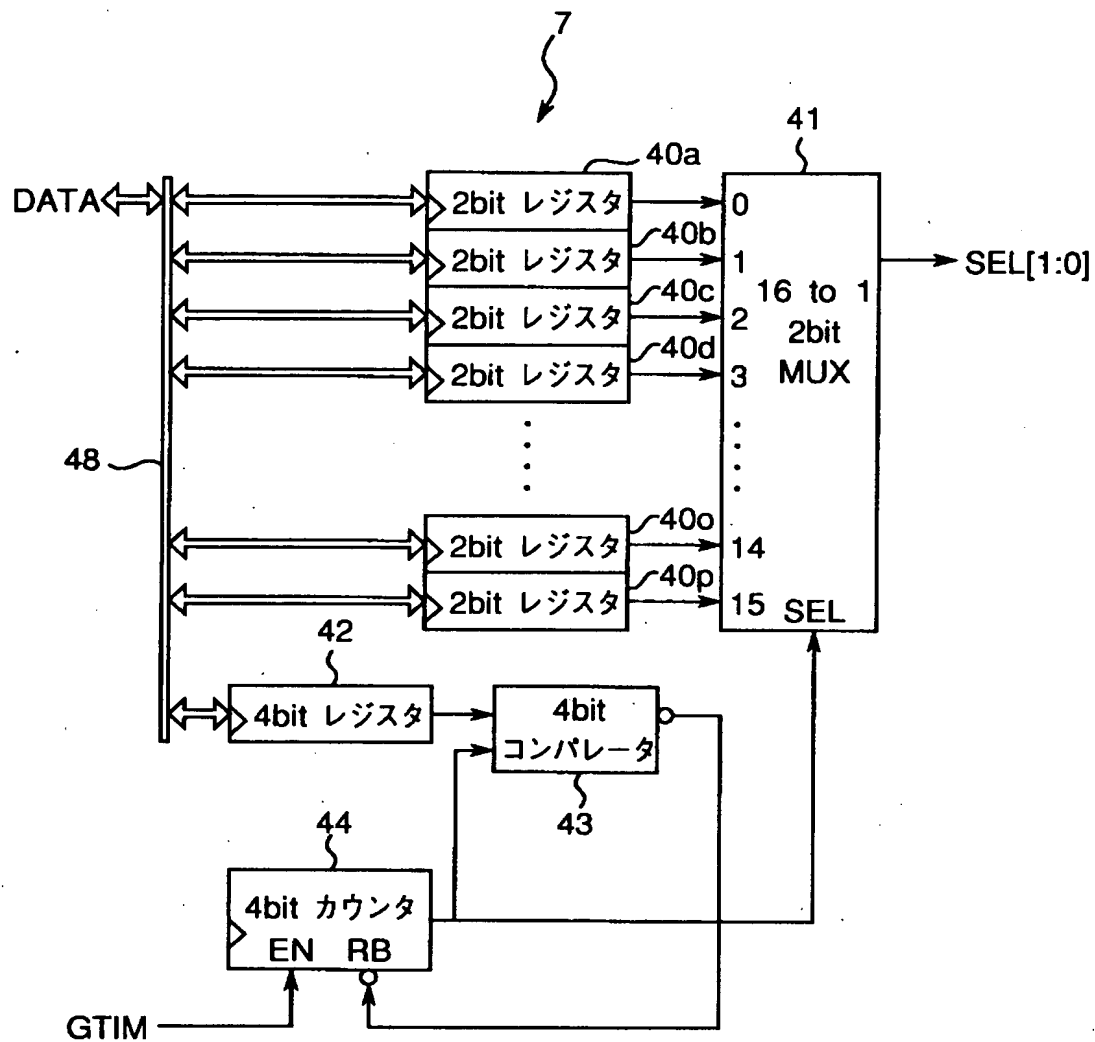
【図 3】



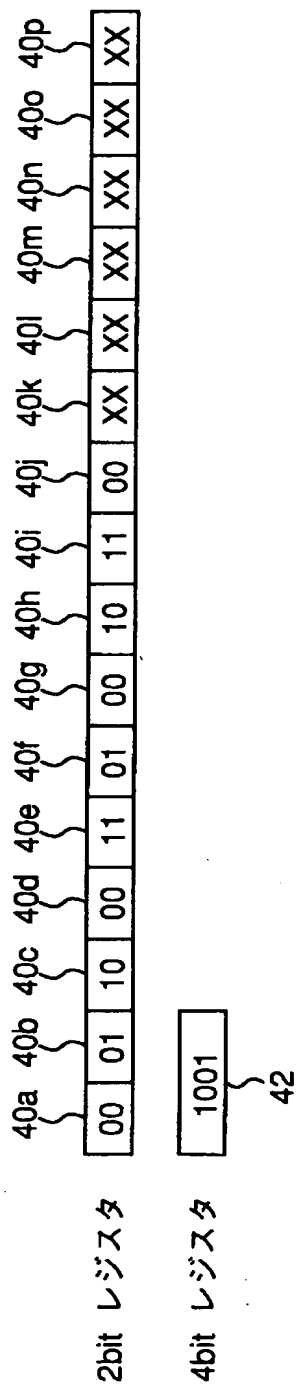
【図 4】



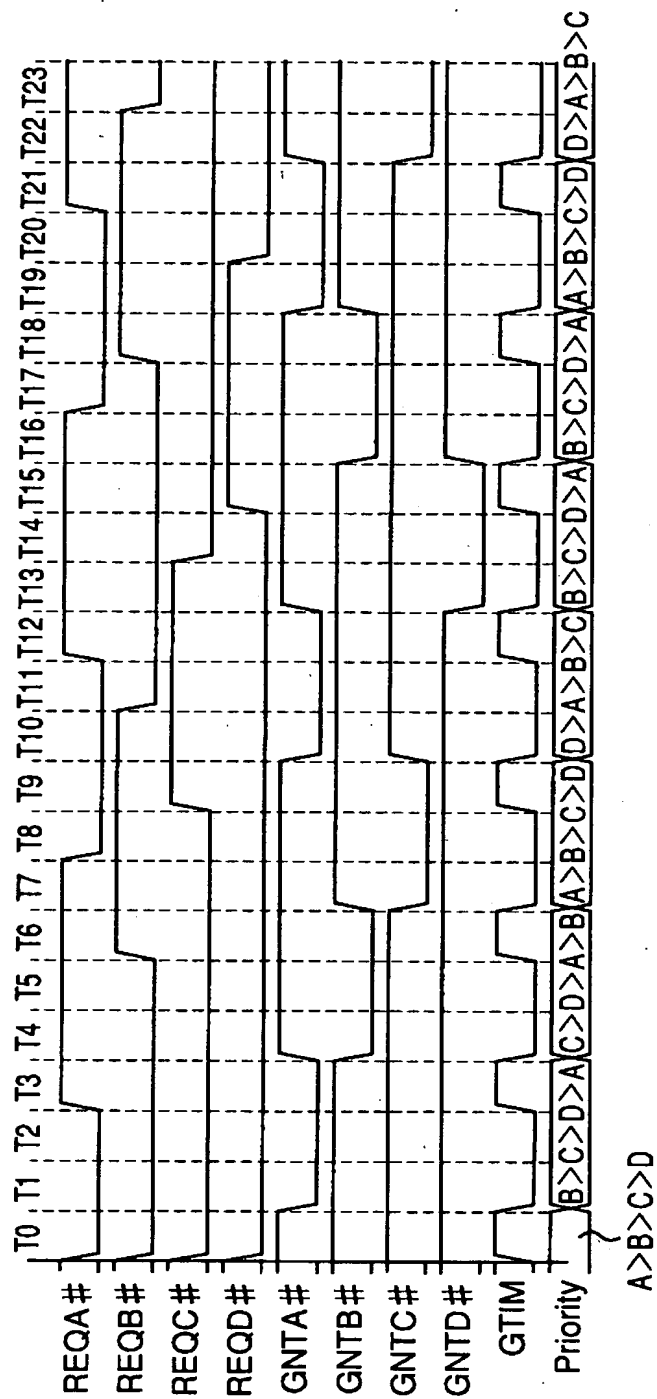
【図 5】



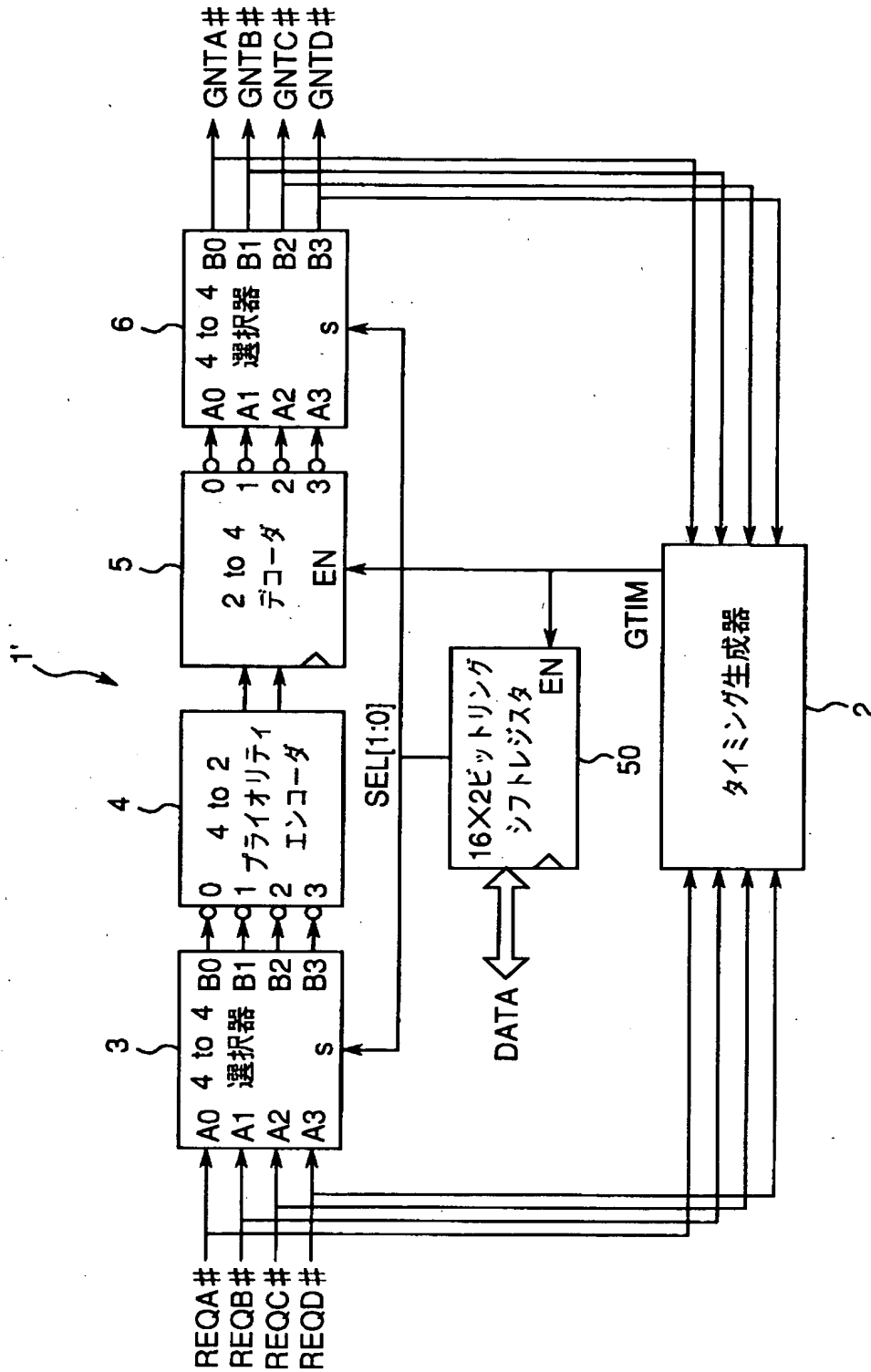
【図 6】



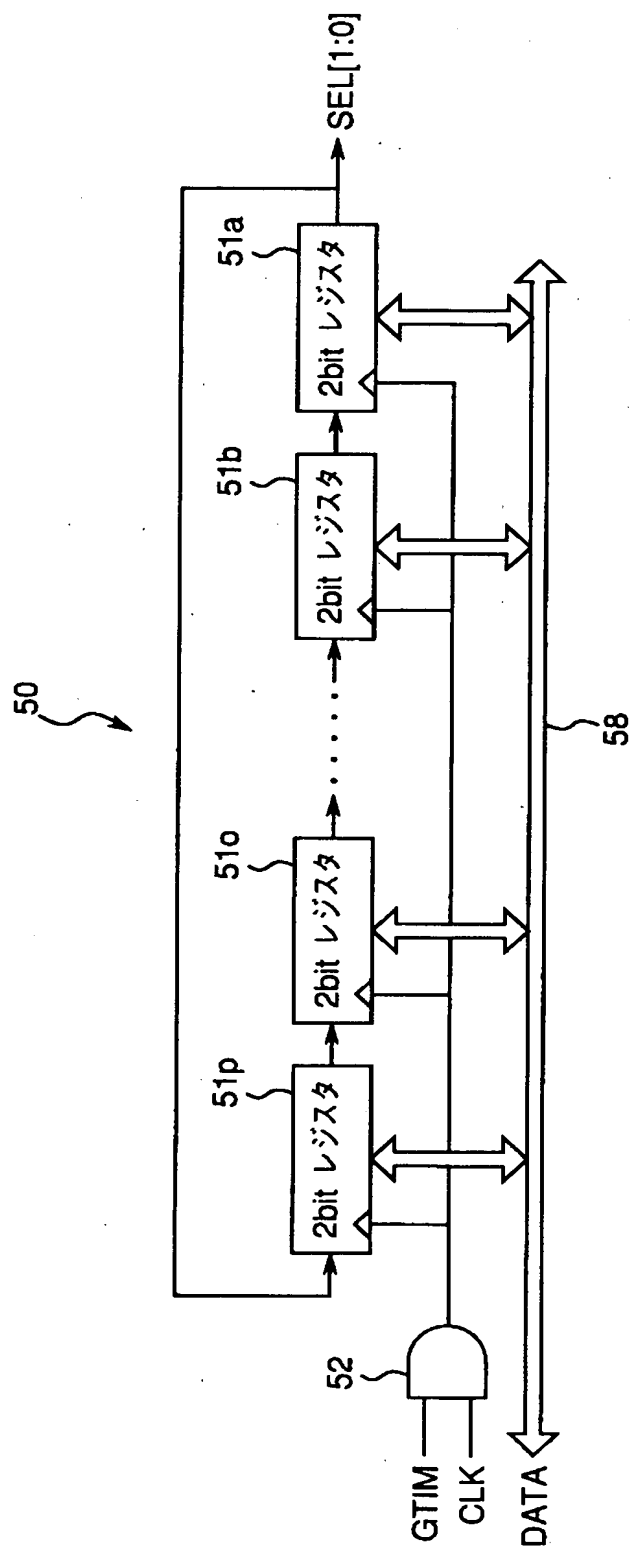
【図 7】



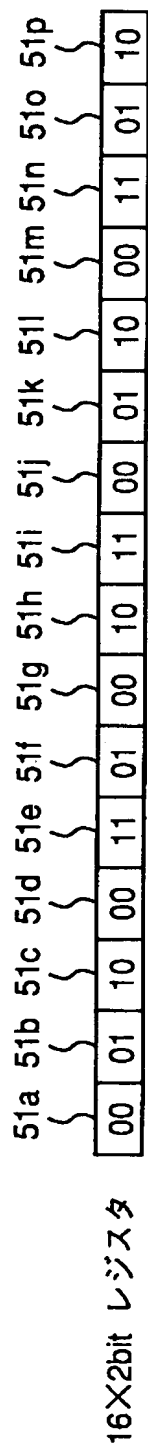
【図 8】



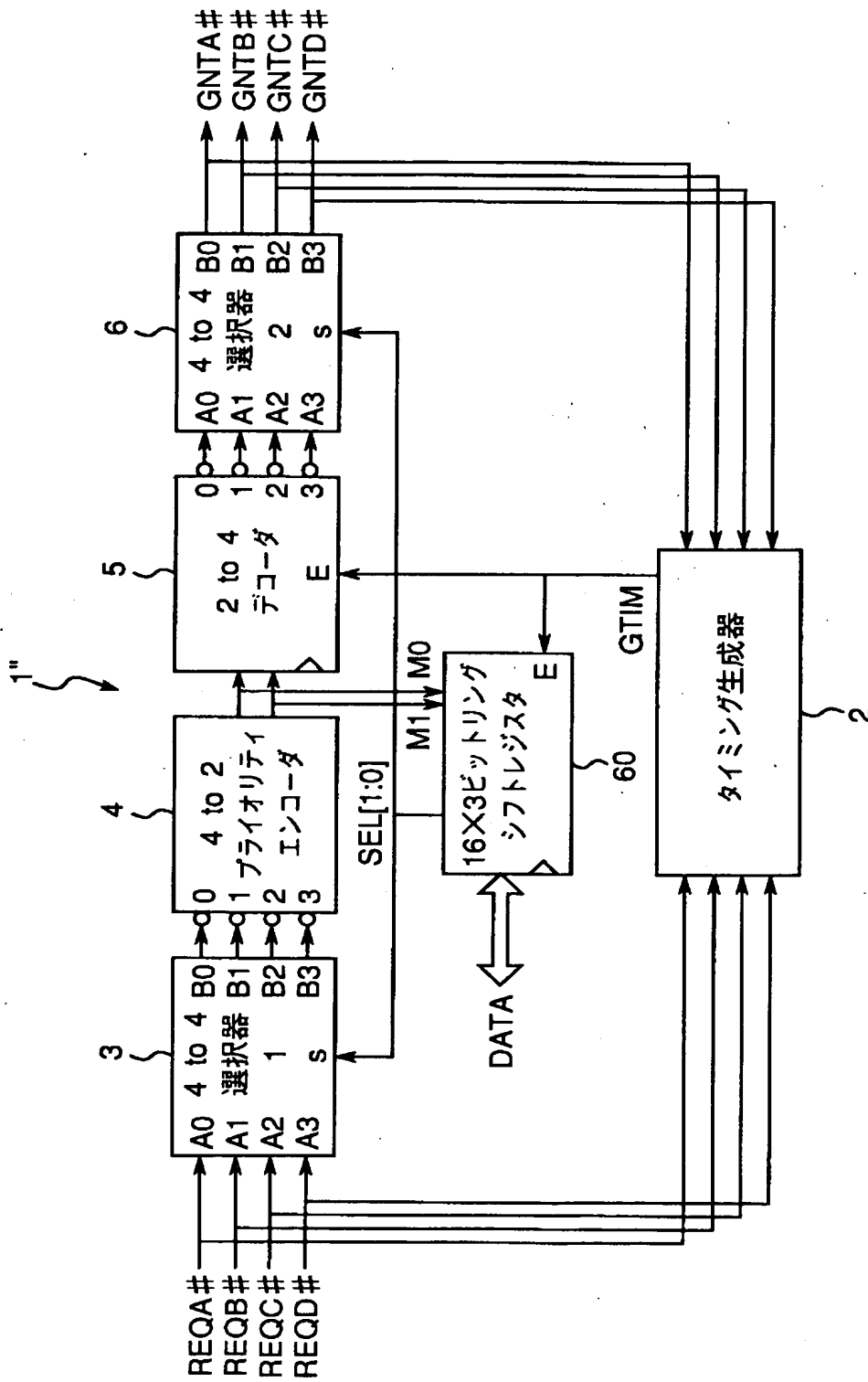
【図9】



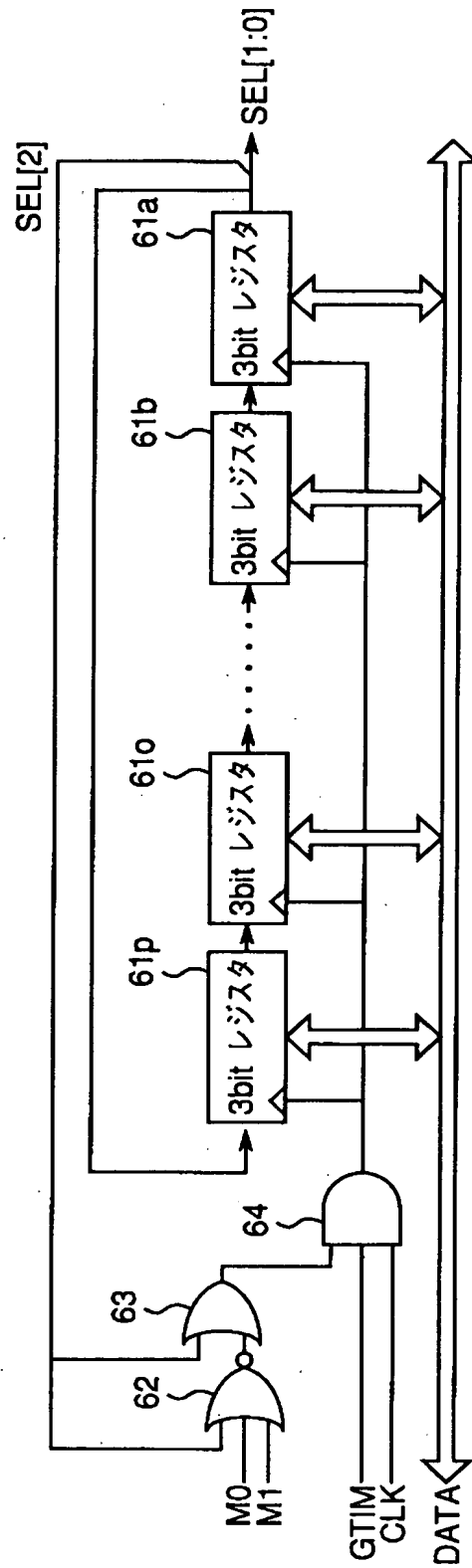
【図 10】



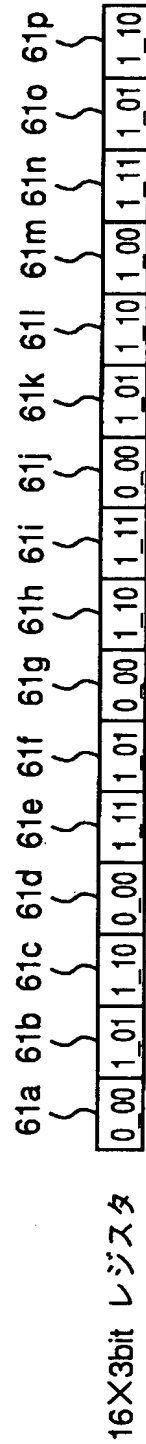
【図 11】



【図 12】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 ラウンドロビン方式の調停装置の持つ欠点を解消し、より使用者の所望するように複数の要求の調停を行う調停装置を提供する。

【解決手段】 本発明の調停装置は、指定された優先順位に従ってN個の要求に対する調停を行う調停装置であって、N個の要求に対する優先順位を指定する選択信号を複数記憶している記憶装置と、調停の要求に応じて、上記記憶装置から所定の順序で1の選択信号を出力させる優先順位指定回路と、記憶装置の出力する選択信号により指定されるN個の要求に対する優先順位に基づいて調停を行う調停回路とで構成される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006747]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都大田区中馬込1丁目3番6号
氏 名 株式会社リコー